

XÂY DỰNG MÔ HÌNH CẤU HÌNH LẠI TỪNG PHẦN ĐỘNG CHO MẠNG TRÊN CHIP TRÊN FPGA

IMPLEMENTATION OF A DYNAMIC PARTIAL RECONFIGURABLE FPGA FRAMEWORK FOR FLEXIBLE NETWORK ON CHIP

Tác giả: Nguyễn Văn Cường*, Trần Thanh, Phạm Ngọc Nam

Tóm tắt bằng tiếng Việt:

Linh hoạt và khả năng mở rộng là các đặc tính rất quan trọng trong các thiết bị nhúng hiện đại. Cấu hình lại từng phần động (Dynamic Partial Reconfigurable) trên FPGA và kiến trúc mạng trên chip (Network on Chip: NoC) là các giải pháp tuyệt vời cho các yêu cầu thiết kế này. Bài báo này trình bày một mô hình cấu hình lại từng phần động trên FPGA cho mạng trên chip. Mô hình cho phép cấu hình lại kích thước các bộ đệm trong bộ định tuyến tại thời gian chạy thích nghi theo trạng thái lưu lượng của các ứng dụng đưa vào mạng để tối ưu các thông số như độ trễ, thông lượng hay năng lượng tiêu thụ. Mô hình này đã được chúng tôi thực hiện và kiểm chứng trên FPGA Virtex-6 chip XC6VLX240T với hai kiến trúc Bus AXI và PLB.

Từ khóa: Cấu hình lại từng phần động; Mạng trên chip; FPGA; bộ đệm; bộ định tuyến; thiết bị nhúng.

Tóm tắt bằng tiếng Anh:

Flexibility and scalability are very important characteristics of modern embedded devices. The Dynamic Partial Reconfigurable (DPR) FPGA and Network on Chip (NoC) architectures are excellent solutions to these requirements. In this paper, we design a dynamic partial reconfigurable model based on FPGA for Network on Chip. The aim of this study is to perform the buffer size reconfiguration in the router at run-time adapted to the traffic state of applications that are used for the network in order to optimize some parameters such as lateness, throughput or energy consumption. This model is implemented and tested on Virtex-6 XC6VLX240T FPGA with both AXI and PLB Buses.

Key words: DPR; NoC; FPGA; Buffer; Router; Embedded device.