

ẢNH HƯỞNG CỦA TỔ CHỨC CACHE ĐA CẤP VÀ MẠNG LIÊN KẾT ĐẾN HIỆU NĂNG CỦA CHIP ĐA LỖI

EFFECTS OF MULTI-LEVEL CACHE ORGANIZATION AND INTERCONNECT NETWORK ON PERFORMANCE OF MULTI-CORE CHIP

Tác giả: [Hồ Văn Phi*](#), Hồ Khánh Lâm

Tóm tắt bằng tiếng Việt:

Ngày nay, công nghệ chip ASIC, PLD, và FPGA đã tạo cơ hội cho các nhà nghiên cứu để thiết kế chế tạo chip xử lý đa lõi. Trong khi đó, công nghệ chip đa lõi với tổ chức cache đa cấp và sự lựa chọn cấu hình mạng liên kết các lõi đảm bảo hiệu năng cao cho ứng dụng của chip đa lõi trong các hệ thống tính toán song song tốc độ cao là một xu hướng nghiên cứu và chế tạo hiện nay. Bài báo trình bày một trong những vấn đề được quan tâm trong công nghệ chip đa lõi là tổ chức cache, mạng liên kết các lõi xử lý trên chip, và đưa ra các tính toán đánh giá hiệu năng của tổ chức cache đa cấp thông qua xác định mức tăng tốc đạt được, và đề xuất giải pháp xác định trễ truyền thông của mạng liên kết các lõi xử lý – một nhân tố ảnh hưởng đến tốc độ thực hiện tính toán song song của chip đa lõi.

Từ khóa: Chip đa lõi; cache đa cấp; mạng liên kết trên chip; hiệu năng; trễ truyền thông

Tóm tắt bằng tiếng Anh:

Today, chip ASIC, PLD and FPGA technology has created opportunities for researchers to design and manufacture processor chips. Meanwhile, the multi-core chip technology with a multi-level cache organization and a choice of network configuration connecting cores to ensure high performance for multi-core chip applications in the speed parallel computing systems is a trend of researching and manufacturing today. The article stated that one of the concerns in the multi-core chip technology is cache organization, core interconnect networks on chip, and offering calculations for performance evaluation of multi-level cache organization through determining acceleration rate achieving, and proposes solutions to determine communication overhead of a core processor interconnect network - a factor that affects the execution speed of parallel computing of multi-core chip.

Key words: Chip multi-core; multi-level cache; interconnect networks on chip; performance; communication overhead.