

THIẾT KẾ DDR3 SDRAM CONTROLLER TRÊN NỀN TẢNG FPGA

DESIGNING DDR3 SDRAM CONTROLLER BASED ON FPGA

Tác giả: Phạm Văn Phát*

Tóm tắt bằng tiếng Việt:

DDR3 SDRAM là bộ nhớ bán dẫn được sử dụng phổ biến nhất hiện nay. Để truy cập bộ nhớ, yêu cầu hệ thống cần có khối điều khiển bộ nhớ(MC). MC thực hiện các chức năng điều khiển ghi và đọc dữ liệu, làm tươi dữ liệu lưu trữ trên SDRAM với nhiều chế độ hoạt động khác nhau. Trong các hệ thống phức tạp MC giữ vai trò như một trọng tài đảm bảo việc truy cập lên SDRAM đạt hiệu quả cao nhất. Bài báo này trình bày các nghiên cứu, thiết kế khối điều khiển bộ nhớ cho DDR3 SDRAM; bao gồm việc thiết kế giản đồ máy trạng thái(FSM), mô phỏng các chức năng như thiết lập trạng thái khởi động, thiết lập các chế độ hoạt động, hoạt động làm tươi, ghi đọc dữ liệu trên SDRAM theo tiêu chuẩn JEDEC và các đặc tả kỹ thuật của MICRON. Thiết kế cấu trúc, tổng hợp và mô phỏng các hoạt động của MC được thực hiện trên phần mềm ISE14.3 của Xilinx.

Từ khóa: memory controller; DDR3; ghi/đọc dữ liệu; giao tiếp bộ nhớ; giản đồ máy trạng thái(FSM); ISE; FPGA

Tóm tắt bằng tiếng Anh:

DDR3 SDRAM is most commonly used today. To access memory, the system should have the Memory Controller block(MC). The main function of the MC is to control activities write, read and refresh data on the RAM with many different operating modes. In the multi-system, MC acts as an arbiter in order to ensure access to the RAM with the highest efficiency. This paper presents the research and designs MC for DDR3 SDRAM including the design of functional blocks, Finite State Machine(FSM), simulating the basic functions such as setting the starting status, setting modes, refreshing, reading and writing data on the Ram according to JEDEC standards and specification of MICRON. Design of architecture, synthesis and simulation of the operations of the MC is performed in ISE14.3 software by Xilinx.

Key words: memory controller; DDR3; read/write data; memory interface; finite-state machine (FSM); ISE; FPGA