

THIẾT KẾ BỘ NHỚ SRAM 32KB KẾT HỢP KỸ THUẬT DỰ TRỮ HÀNG VÀ CỘT

A DESIGN OF 32KB SRAM COMBINING ROW AND COLUMN REDUNDANCY

Tác giả: [Võ Thanh Trí](#), [Lê Bình Sơn*](#), [Bùi Trọng Tú](#)

Tóm tắt bằng tiếng Việt:

Trong bài báo này, chúng tôi sẽ trình bày một thiết kế bộ nhớ SRAM đồng bộ có dung lượng 32 KB sử dụng kiến trúc tế bào nhớ 6T và công nghệ CMOS UMC 90 nm. Mục tiêu chính của thiết kế là tối ưu công suất tiêu thụ, tần số hoạt động, độ ổn định và khả năng đạt được sản lượng cao sau khi chế tạo. Do đó, các kỹ thuật tự cân chỉnh thời gian, giải mã đa tầng, cơ chế đa hợp và dự trữ hàng/cột đã được chúng tôi kết hợp sử dụng trong thiết kế. Các kết quả mô phỏng cho thấy bộ nhớ có thời gian truy cập dao động trong khoảng 0,66 ns đến 2,15 ns và tần số hoạt động từ 389 MHz đến 2,6 GHz tương ứng với các góc công nghệ SS và FF. Dòng rỉ và công suất tiêu thụ lớn nhất của mạch tương ứng là 18,24 μ A và 4,03 μ W/MHz.

Từ khóa: Thiết kế; SRAM; CMOS; Kỹ thuật dự trữ; 6T.

Tóm tắt bằng tiếng Anh:

In this paper, we present a design of a 32 KB synchronous SRAM module using 6T memory cell structure, implemented in 90 nm CMOS UMC technology. The goal of the proposed design is to achieve the highest performance in terms of power consumption, operating frequency, stability and the yield after production. Therefore, in this design, techniques such as self-time tracking, pre-decoder, multiplexer, and row/column redundancy are combined. The simulation results show that the access time varies between 0.66 ns and 2.15 ns and the operating frequency goes from 389 MHz to 2.6 GHz at SS and FF corners respectively. The highest leakage current and power dissipation are 18.24 μ A and 4.03 μ W/MHz, respectively.

Key words: Design; SRAM; CMOS; Redundancy; 6T.